

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001325793 A

(43) Date of publication of application: 22.11.01

(51) Int. Cl

G11C 16/02

G11C 16/04

H01L 21/8247

H01L 27/115

H01L 29/788

H01L 29/792

(21) Application number: 2000141072

(22) Date of filing: 15.05.00

(71) Applicant: FUJITSU LTD

(72) Inventor: TORII TOMOHITO
KOJIMA HIDEYUKI
MOTAI HIROSHI

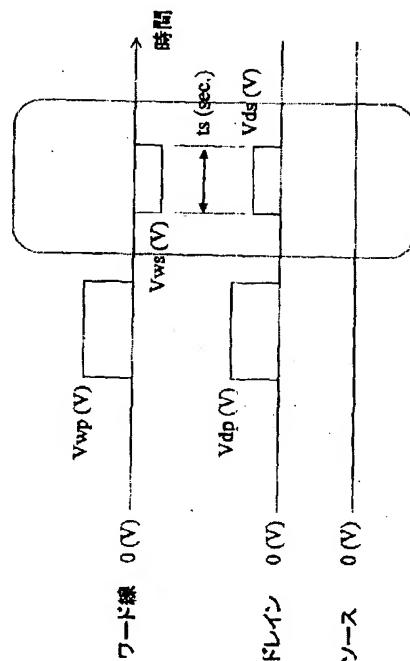
(54) NON-VOLATILE SEMICONDUCTOR MEMORY,
AND DATA HOLDING METHOD FOR
NON-VOLATILE SEMICONDUCTOR MEMORY

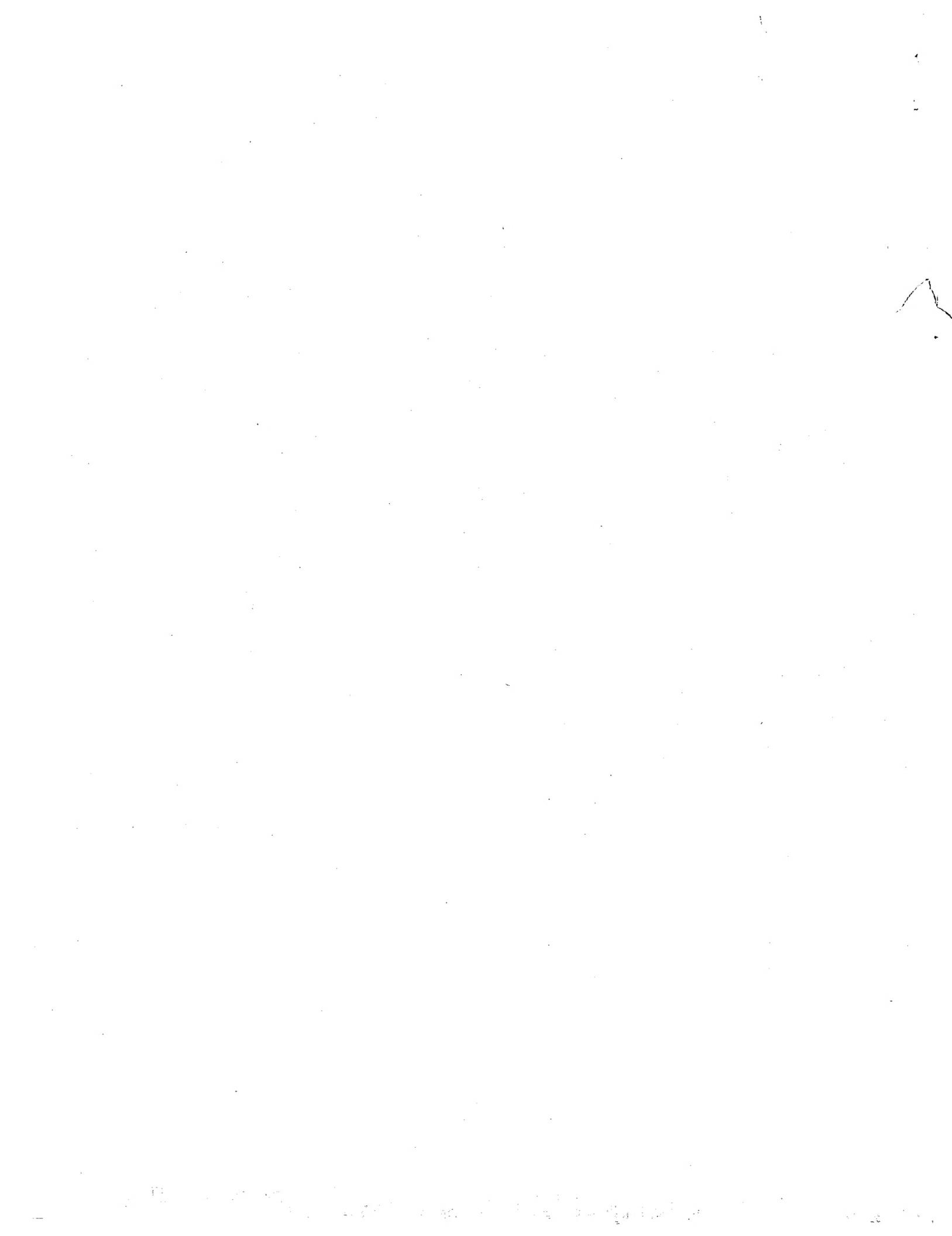
(57) Abstract:

PROBLEM TO BE SOLVED: To realize improving reliability of write-in of a non-volatile semiconductor memory such as especially a single gate type flash memory or the like without changing basic constitution of a memory cell array.

SOLUTION: In a flash memory having, for example, a single gate type memory cell consisting of a gate electrode provided through a thin electric charge trap layer on a semiconductor substrate, the device is characterized in that after data is written in the memory cell, a short pulse is applied to the memory cell so that one part of electrons is eliminated from the electric charge trap layer.

COPYRIGHT: (C)2001,JPO





(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-325793
(P2001-325793A)

(43)公開日 平成13年11月22日(2001.11.22)

(51)Int.Cl. ⁷	識別記号	F I	テマート(参考)
G 11 C 16/02		G 11 C 17/00	6 11 Z 5 B 0 2 5
16/04			6 11 A 5 F 0 0 1
H 01 L 21/8247			6 12 Z 5 F 0 8 3
27/115			6 22 A 5 F 1 0 1
29/788		H 01 L 27/10	4 3 4
			審査請求 未請求 請求項の数 8 O L (全 14 頁) 最終頁に統く

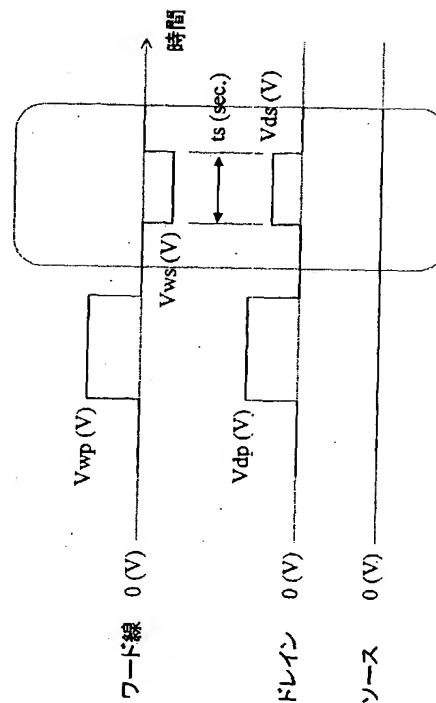
(21)出願番号	特願2000-141072(P2000-141072)	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号
(22)出願日	平成12年5月15日(2000.5.15)	(72)発明者	鳥井 智史 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
		(72)発明者	兒嶋 秀之 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
		(74)代理人	100108187 弁理士 横山 淳一
			最終頁に統く

(54)【発明の名称】 不揮発性半導体記憶装置および不揮発性半導体記憶装置のデータ保持方法

(57)【要約】

【課題】 特に単ゲート型のフラッシュメモリ等、不揮発性半導体メモリの書き込み信頼性向上を、メモリセルアレイの基本構成を代えずに実現することを課題とし、

【解決手段】 半導体基板上の薄い電荷トラップ層を介して設けられたゲート電極からなる例えは単ゲート型メモリセルを有するフラッシュメモリにおいて、前記メモリセルに対してデータ書き込み後、前記電荷トラップ層から電子を一部排除するよう前記メモリセルに対して短パルスを加えることを特徴とする不揮発性半導体メモリ。



【特許請求の範囲】

【請求項1】 半導体基板上に、第1ゲート酸化膜と、シリコン酸化膜よりも電荷をトラップしやすい絶縁材からなる電荷トラップ層と、第2ゲート酸化膜とからなるゲート絶縁膜と、ゲート電極とが順に重ねて形成され、前記電荷トラップ層と前記半導体基板との間で電荷の移動を生じさせて、電気的書き換えを可能にしたメモリセルが複数個マトリクス配置されたメモリセルアレイを有する不揮発性半導体記憶装置(EEPROM)において、前記メモリセルに対してデータを書き込んだ後に、前記電荷トラップ層から電子を一部排除するよう動作する不揮発性半導体記憶装置。

【請求項2】 前記ゲート電極にV_{wp}、前記メモリセルのドレインにV_{dp}なる電圧を印加して前記メモリセルにデータを書き込む手段と、前記ゲート絶縁膜にV_{we}、前記メモリセルのソース乃至ドレインにV_{be}なる消去電圧をt_e秒間印加して前記メモリセルからデータを消去する手段と、前記データ書き込み動作の後に、前記ゲート絶縁膜にV_{ws}なる電圧、前記ソース乃至ドレインにV_{bs}なる電圧をt_s秒間印加し、電子の一部排除動作を行う手段とを、 $0 \leq |V_{ws}| \leq |V_{we}|$, $0 \leq |V_{bs}| \leq |V_{be}|$, $t_s \leq t_e$ の関係を満たして有する請求項1記載の不揮発性半導体記憶装置。

【請求項3】 前記した電子の一部排除動作を
 $V_{bs} = V_{dp}$
 なる電圧の関係をもって行う請求項2記載の不揮発性半導体記憶装置。

【請求項4】 ベリファイ書き込みを行なう際、前記メモリセルアレイに対してデータの書き込みを行なった後に、前記電子の一部排除動作及びベリファイ動作を行い、この操作を十分書き込みが行われるまで繰り返す請求項1乃至3記載の不揮発性半導体記憶装置。

【請求項5】 半導体基板上に、第1ゲート酸化膜と、シリコン酸化膜よりも電荷をトラップしやすい絶縁材からなる電荷トラップ層と、第2ゲート酸化膜とからなるゲート絶縁膜と、ゲート電極とが順に重ねて形成され、前記電荷トラップ層と前記半導体基板との間で電荷の移動を生じさせて、電気的書き換えを可能にしたメモリセルが複数個マトリクス配置されたメモリセルアレイを有する不揮発性半導体記憶装置(EEPROM)に対し、前記メモリセル内に記憶されたデータを消去する電圧と同等の電圧を、電子の一部排除動作を行うように短時間印加することを特徴とする不揮発性半導体記憶装置のデータ保持方法。

【請求項6】 前記ゲート電極にV_{wp}、前記メモリセルのドレインにV_{dp}なる電圧を印加して前記メモリセルにデータを書き込む手段と、前記ゲート絶縁膜にV_{we}、前記メモリセルのソース乃至ドレインにV_{be}なる消去電圧をt_e秒間印加して前記メモリセルからデータを消去する手段と、前記データ書き込み動作の後に、前記ゲート絶縁膜にV_{ws}なる電圧、前記ソース乃至ドレインにV_{bs}なる電圧をt_s秒間印加し、電子の一部排除動作を行う手段とを、 $0 \leq |V_{ws}| \leq |V_{we}|$, $0 \leq |V_{bs}| \leq |V_{be}|$, $t_s \leq t_e$ の関係を満たして有する請求項5記載の不揮発性半導体記憶装置のデータ保持方法。

【請求項7】 電子の一部排除動作を

$$V_{bs} = V_{dp}$$

なる電圧の関係をもって行う請求項6記載の不揮発性半導体記憶装置のデータ保持方法。

【請求項8】 ベリファイ書き込みを行なう際、メモリセルアレイに書き込みを行なった後に前記電子の一部排除動作及び検証動作を行い、この操作を十分書き込みが行われるまで繰り返す請求項5乃至7記載の不揮発性半導体記憶装置のデータ保持方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、EEPROM(電気的消去・書き換え可能な不揮発性メモリ)やフラッシュメモリ(一括的に電気的消去可能なEEPROM)などの不揮発性メモリのデータ保持の改良技術に関する。詳しくは、電荷蓄積可能な絶縁膜材料を用いてゲート絶縁膜を構成したEEPROMやフラッシュメモリに採用して、一度書き込んだデータを安易に劣化させることなく、高い読み出し特性を保持するための改良技術に関する。

【0002】

【従来の技術】 EEPROM(電気的消去・書き換え可能な不揮発性メモリ)やフラッシュメモリ(一括的に電気的消去可能なEEPROM)などの不揮発性メモリに用いるメモリセルは、過去の技術によれば、互いに薄い絶縁膜を挟んで重ねて設けられる浮遊ゲート電極と制御ゲート電極とからなる二重ゲート構造によって構成されるのが一般であったが、最近、このような二重ゲート構造の複雑な製造プロセスが微細化の障害として顕著になってきて、新たに、ゲート構造を単ゲート化できる技術が注目されている。

【0003】 このような単ゲート型の不揮発性メモリの場合には、シリコン基板とゲート電極との間に被膜されるゲート絶縁膜として電荷蓄積可能な材料、例えば窒化膜系の材料を採用し、電荷の蓄積は浮遊ゲートにて行うのに代えて、この電荷蓄積可能なゲート絶縁膜に捕捉することによって行う。このような単ゲート型不揮発性半導体メモリの例として、SONOS型メモリがある。SONOS型メモリは、ゲート絶縁膜として、シリコン酸化膜(SiO), シリコン窒化膜(SiN), シリコン酸化膜(SiO)の積層構造を有し、シリコン窒化膜(SiN)に電荷を出し入れすることで記録を行うものである。(シリコン酸化膜(SiO)のうち、シリコン

基板に近い方を第1ゲート酸化膜、ゲート電極に近い方を第2ゲート酸化膜と呼ぶことにする。))

このようなSONOS型のメモリセルに対し、一般的には、ソースとドレインとを並列に接続したセル配置がとられる。これは、隣接する複数のメモリセルのソース、ドレインをそれぞれ並列に接続して列を形成し、1つの列を1つのビット線とするものである。ビット線は選択ゲートを介してセンサスアンプに接続される。列方向に隣接するメモリセルのゲートは单一の導線で結ばれ、ワード線となる。

【0004】上記のSONOS型メモリセルの不揮発性半導体メモリとしての動作は、次の通りである。

[データ書き込み動作] データ書き込みの動作は、選択したセルのドレインに接続されたビット線に書き込み電位Vd_p (=5V程度) を印加し、ソースに接続されたビット線にOVを与える、ワード線にVwp (=10V程度) を印加することで行う。このとき、非選択セルのビット線とワード線は浮遊させておき、書き込みを回避する。上記のデータ書き込み動作が行われたとき、選択されたセルにおいて、ドレイン近傍でホットな電子が発生する。ホットな電子は第1ゲート酸化膜の障壁を超えて、ドレインに近い窒化膜中にトラップされる。これにより、選択されたセルのしきい値電圧が正方向にシフトする。この状態を“0”とする。

[データ消去動作] データ消去動作は、選択されたブロックのすべてのメモリセルに対して行う。データ消去動作は、選択されたブロックのワード線すべてにVwe (=−3V程度) を印加し、ビット線すべてをVbe (=7V程度) にすることで行う。これにより、窒化膜中にトラップされていた電子が排除され、しきい値電圧が負方向にシフトする。この状態を“1”とする。

[データ読み出し動作] データの読み出し動作は、選択されたメモリセルにつながるワード線にVwr (=4V程度) を印加し、ドレインに接続されたビット線に読み出し電位Vb_r (=1V程度) を印加し、ソースに接続されたビット線にOVを与えることで行う。ただし、読み出し動作におけるドレインとソースの関係は、データ書き込み動作における関係と反転させる。これは、データ書き込みの際にドレインとした拡散層の近傍に、電子がトラップされている為である。すなわちドレインとソースを反転させた方が、しきい値のシフトが大きくとれるためである。データの読み出しへは、選択メモリセルに流れる電流の絶対値で判定する。

[データベリファイ動作] ベリファイ(検証動作)書き込みの場合は、上記の書き込み動作を行った後、検証動作を行い書き込みが十分であるかどうか確認するために行われる。書き込みが不十分であれば、そのセルに対し、再び書き込み動作を行う。検証動作と書き込み動作は、すべてのデータが書き込まれるまで繰り返される。ベリファイ(検証動作)消去の場合は、上記消去動作の

後に検証動作を行い、消去が不十分な場合は、再び消去動作を行う。これらの動作は消去が十分に行われるまで行われる。

【0005】SONOS型のメモリセルは、浮遊ゲート型のメモリセルとは違い、絶縁膜に電子をトラップさせるという特徴をもつ。トラップされる電荷の密度は $2.0 \times 10^{12} \text{ cm}^{-2} \sim 1.0 \times 10^{13} \text{ cm}^{-2}$ 程度と概算されている。

これは、劣化した場合の、基板とゲート第一酸化膜の界面における界面準位密度に近い値である。従って、SONOS型のメモリセルにおいて、第1ゲート酸化膜中、

あるいは、これと基板との界面にあるトラップサイトの密度は、窒化膜中のトラップサイトと比することが出来るため、トランジスタ特性に大きな影響を及ぼす。上記のような書き込み・消去特性を繰り返すと、第1ゲート酸化膜および界面が劣化し、余分なトラップサイトを増加させることとなりうる。すなわち動作をさせるうちに、メモリセルの特性、特に読み出し特性が初期特性からずれる、という問題があった。

【0006】これは、SONOS型のメモリセルに限らず、シリコン酸化膜よりも電子を捕捉しやすい絶縁膜をゲート酸化膜上に有し、それを電子トラップとして利用するすべてのメモリセルにあてはまる。

【0007】

【発明が解決しようとする課題】このように、従来のSONOS型不揮発性メモリセルを始め、ゲート絶縁膜に電荷捕捉する型のメモリセルでは、データ書き込みや消去を繰り返すことにより、第1ゲート酸化膜及び界面に余分なトラップサイトが増加し、メモリセルの読み出し特性が著しく劣化するという問題が見いだされた。図1参照。

【0008】図1は、従来のSONOS型不揮発性メモリの読み出し特性を示すグラフ(その1)であり、横軸にゲート電圧(Vg)、縦軸にドレイン電流(Id)を取つて、使用開始の状態(初期状態)における特性(図中、白抜き角形の点)と、一万回のデータ書き込み、消去を繰り返す動作(「サイクリング」動作)後の特性(図中、黒丸の点)とを対比して同一グラフ上に示したものである。図1から明らかなように、初期状態において、ゲート電圧(Vg)の値を上げてゆくと、ドレイン電流(Id)はある部分で急峻に応答しており、メモリセルの「カットオフ特性」と呼ばれる応答特性が見て取れる。しかしながら、一万回のサイクリング動作の後には、この急峻なカットオフ特性は明らかに劣化している。すなわち、一万回のサイクリング動作後には、ゲート電圧(Vg)の値が上昇してもドレイン電流(Id)は漸次上昇を続けるだけで、ゲート電圧(Vg)の一定値から急峻に立ち上がる様子は見られない。図2参照。

【0009】図2は、従来のSONOS型不揮発性メモリの読み出し特性を示すグラフ(その2)であり、図1と同様に、横軸にゲート電圧、縦軸にドレイン電流を取つ

て、使用開始の状態（劣化前）における特性（図中、実線）と、一回のサイクリング動作後（劣化後）の特性（図中、一点鎖線）とを対比して同一グラフ上模式的に示したものである。カットオフ特性の劣化は、図2に示すように、ベリファイ（検証）書き込み時に、電荷の蓄積が不十分であっても検証を終了してしまうという問題につながる。すなわち、ドレイン電圧の一定値（基準電流）に対して、劣化前のよう急峻なカットオフ特性が得られていれば、適正なゲート電圧の書き込みレベルに達しないものを検出できるが、カットオフ特性が劣化した後には、ドレイン電流の基準電流値に対して、ゲート電圧の値が書き込みレベルに達しなくとも、書き込みレベルに達したものと誤認してしまうことが起こりうる。

【0010】しかしながら、従来より、カットオフ特性の劣化は、加熱すれば回復可能であることが知られている。図3参照。

【0011】図3は、従来のSONOS型不揮発性メモリの読み出しう特徴を示すグラフ（その3）であり、図1、図2と同様に、横軸にゲート電圧（V_g）、縦軸にドレイン電流（I_d）を取って、加熱処理前における特性（図中、実線と白抜き角点）と、加熱処理後における特性（図中、点線と黒角点）とを対比して同一グラフ上に示したものである。図3から、加熱処理によってカットオフ特性は改善できることが理解できるであろう。すなわち、加熱前にあって相当の回数のサイクリングを経てゲート電圧（V_g）の変化に対しドレイン電流（I_d）が漸増の変化しか示さず、十分にカットオフ特性が劣化していたとしても、加熱した後には、ゲート電圧（V_g）の一定値でグラフが変曲し、急峻にドレイン電流（I_d）が応答する良好なカットオフ特性が回復している様子が判るであろう。

【0012】このように、加熱によるカットオフ特性改善の実験事実が示すことは、カットオフ特性が劣化するほど、ベリファイ書き込後のしきい値が熱的なストレスにより負方向にシフトし、消去状態と書き込まれた状態のウインドウマージンが狭くなってしまうことである。すなわち、カットオフ特性の劣化はリテンション特性の劣化という問題にもつながる。

【0013】従来技術には、上述のように、正しく書き込まれたか否か正確なデータベリファイが行えないという問題や、データリテンション特性が劣化してしまうという問題があることが明らかとなったもので、本発明は、かかる問題を解決し、正確なデータベリファイ・良好なデータリテンションを性能として確保し、データ書き込みや消去といったデバイス動作により第1ゲート酸化膜及び界面が劣化しても、常に同一で良好な読み出し特性を提供することを課題としてなされたものである。

【0014】

【課題を解決するための手段】本発明は、例えば、以下のような構成によって、上記課題を解決するものであ

る。

(1) 半導体基板上に、第1ゲート酸化膜と、シリコン酸化膜よりも電荷をトラップしやすい絶縁材からなる電荷トラップ層と、第2ゲート酸化膜とからなるゲート絶縁膜と、ゲート電極とが順に重ねて形成され、前記電荷トラップ層と前記半導体基板との間で電荷の移動を生じさせて、電気的書き換えを可能にしたメモリセルが複数個マトリクス配置されたメモリセルアレイを有する不揮発性半導体記憶装置（EEPROM）において、前記メモリセルに対してデータを書き込んだ後に、前記電荷トラップ層から電子を一部排除するよう動作する不揮発性半導体記憶装置。

(2) 前記(1)記載の不揮発性半導体記憶装置であつて、前記ゲート電極にV_{wp}、前記メモリセルのドレインにV_{dp}なる電圧を印加して前記メモリセルにデータを書き込む手段と、前記ゲート絶縁膜にV_{we}、前記メモリセルのソース乃至ドレインにV_{be}なる消去電圧をt_e秒間印加して前記メモリセルからデータを消去する手段と、前記データ書き込み動作の後に、前記ゲート絶縁膜にV_{ws}なる電圧、前記ソース乃至ドレインにV_{bs}なる電圧をt_s秒間印加し、電子の一部排除動作を行う手段と、
 $0 \leq |V_{ws}| \leq |V_{we}|, 0 \leq |V_{bs}| \leq |V_{be}|, t_s \leq t_e$
 の関係を満たして有する不揮発性半導体記憶装置。

(3) 前記(2)記載の不揮発性半導体記憶装置であつて、前記した電子の一部排除動作を
 $V_{bs} = V_{dp}$

なる電圧の関係をもって行う不揮発性半導体記憶装置。

(4) 前記(1)～(3)記載の不揮発性半導体記憶装置であつて、ベリファイ書き込みを行う際、前記メモリセルアレイに対してデータの書き込みを行った後に、前記電子の一部排除動作及びベリファイ動作を行い、この操作を十分書き込みが行われるまで繰り返す不揮発性半導体記憶装置。

(5) 半導体基板上に、第1ゲート酸化膜と、シリコン酸化膜よりも電荷をトラップしやすい絶縁材からなる電荷トラップ層と、第2ゲート酸化膜とからなるゲート絶縁膜と、ゲート電極とが順に重ねて形成され、前記電荷トラップ層と前記半導体基板との間で電荷の移動を生じさせて、電気的書き換えを可能にしたメモリセルが複数個マトリクス配置されたメモリセルアレイを有する不揮発性半導体記憶装置（EEPROM）に対し、前記メモリセル内に記憶されたデータを消去する電圧と同等の電圧を、電子の一部排除動作を行うように短時間印加することを特徴とする不揮発性半導体記憶装置のデータ保持方法。

(6) 前記(5)記載の不揮発性半導体記憶装置のデータ保持方法であつて、前記ゲート電極にV_{wp}、前記メモリセルのドレインにV_{dp}なる電圧を印加して前記メモリセルにデータを書き込む手段と、前記ゲート絶縁膜にV_{we}、前記メモリセルのソース乃至ドレインにV_{be}なる消去電圧をt_e秒間印加して前記メモリセルからデータを消去

する手段と、前記データ書き込み動作の後に、前記ゲート絶縁膜にV_{ws}なる電圧、前記ソース乃至ドレインにV_{bs}なる電圧をt_s秒間印加し、電子の一部排除動作を行う手段とを、

$$0 \leq |V_{ws}| \leq |V_{we}|, 0 \leq |V_{bs}| \leq |V_{be}|, t_s \leq t_e$$

の関係を満たして有する不揮発性半導体記憶装置のデータ保持方法。

(7) 前記(6)記載の不揮発性半導体記憶装置のデータ保持方法であって、電子の一部排除動作を

$$V_{bs} = V_{dp}$$

なる電圧の関係をもって行う不揮発性半導体記憶装置のデータ保持方法。

(8) 前記(5)～(7)記載の不揮発性半導体記憶装置のデータ保持方法であって、ベリファイ書き込みを行う際、メモリセルアレイに書き込みを行った後に前記電子の一部排除動作及び検証動作を行い、この操作を十分書き込みが行われるまで繰り返す不揮発性半導体記憶装置のデータ保持方法。

【0015】次に、本発明の作用を説明する。本発明の特徴を要して言えば、電荷蓄積絶縁膜を従来のゲート絶縁膜に代えて用いた不揮発性半導体メモリ（EEPROM）のデータ書き込み動作後に、例えば、データ消去のためにメモリセルに対して印加するのに相当する電位関係をごく一瞬だけメモリセルに対して与えることで、読み出し特性を改善できるというものである。このような読み出し特性改善の効果は、電荷蓄積絶縁膜を従来のゲート絶縁膜に代えて用いた不揮発性半導体メモリ（EEPROM）に特有のものであり、データ消去電位相当のパルスをデータ書き込み後のメモリセルに対して与える動作を従来型のEEPROMに対して行ってみても、同様の読み出し特性の改善は得られない。すなわち、本発明の読み出し特性改善の知見は、本発明者等が究明して得た新しいものと考えられるが、その原理は未だ良く解明されていない。再び図1参照。

【0016】図1に示されるように、SONOS型メモリセルのような、シリコン酸化膜よりも電子をトラップしやすい絶縁膜をゲート酸化膜上に有し、それを電子トラップとして利用するメモリセルにおいては、界面の劣化がメモリセルの読み出し特性に大きく影響することが実験的に確かめられている。しかし、データ消去と同じ動作ではあるが、データ消去に比べて緩和されたゲート電圧もしくはドレイン電圧、あるいは著しく短くした印加パルス幅によって構成されるストレス動作（「ポストライト動作」と呼ぶ）をデータ書き込み動作の後に行えば、読み出し特性を改善できることが実験的に確かめられた。図4参照。

【0017】図4は、本発明のSONOS型不揮発性メモリの読み出し特性を示すグラフ（その1）であり、図4中、横軸にゲート電圧（V_g）、縦軸にドレイン電流（I_d）をとり、初期状態、すなわち使用開始前における

る状態を点線、データ書き込み後における状態を細線、ソフト書き込み後における状態を太線で示した。図4に示される通りに、使用開始前における状態（初期状態）における急峻なカットオフ特性は、データの書き換えを通して経時に劣化し、ゲート電圧（V_g）の増加に対するドレン電流（I_d）の応答は非常に悪化したもの、本発明のポストライトパルスをデータ書き込み後に行ったことで、読み出し特性が改善されることが判る。

【0018】以上のように、本発明のように、データ書き込みを行う場合に、データ書き込みのためのパルスを加えた後にポストライトパルスを入力すると読み出し特性が改善されることが、実験事実から明らかとなったものである。

【0019】ところで、このポストライトパルスが長すぎても効果が得られなくなる。ポストライト動作のパルスが長いと、データ書き込みのために窒化膜中に注入した電子が引き抜かれて、しきい値電圧の負方向へのシフトが起こるようになる。従って、ポストライト動作のパルスは消去動作のパルスよりも短くしなければならない。このことも実験事実から明らかとなったもので、図5を参照して説明する。図5参照。

【0020】図5は、本発明のSONOS型不揮発性メモリのしきい値特性を示すグラフであり、図5中、横軸には、書き込み後のメモリセルに対して消去電位を与える時間（パルス長；t_s）（秒）をとり、縦軸には、しきい値電圧（V）およびS係数（mV/dec）をとて、互いの関係を示したものである。パルス長t_s（秒）に対するしきい値電圧（V）の変化は、白抜き点をつないだグラフで示され、一方、パルス長t_s（秒）に対するS係数（mV/dec）

の変化は、黒塗り点をつないだグラフで示されている。書き込み後のメモリセルに対して与えるパルス（以下「ポストライトパルス」と称する。）の電圧条件は、必ずしもデータ消去時にメモリセルに与える電圧条件と同じである必要はなく、メモリセルの電荷蓄積膜から電荷を基板側に引き抜くような電位であれば、電圧条件が異なっていても、本発明の効果を得ることができるであろう。しかし、ポストライトパルスの電圧条件が消去時の電圧条件と同じであれば、基本的にはパルスの時間制御だけで済むことになるので、回路構成が簡略化するという効果が付随的に得られ好ましい。そこで以下では、ポストライトパルスの電圧条件が、消去動作時の電圧条件と等しい場合を第一の例として挙げて説明する。図5からt_s<1×10⁻⁶ sec = t_{s0}であれば、しきい値電圧は初期状態に戻らないがS係数は回復することが分かる。従って、ポストライト動作の電圧条件を消去動作のそれと等しくするならば、t_s<t_{s0}であることが望ましい。t_{s0}は通常の消去時間t_eの10000分の1である。

【0021】ところで、窒化膜中に注入した電子をデータを消去してしまうほど積極的には引き抜かずに、読み出し特性だけを改善する本発明のポストライトパルスの

手段は、上述のように、データ消去時の電圧関係と同じにしてパルスの幅を短く調節することで対応する以外に、メモリセルのゲート電圧もしくはドレイン電圧を消去動作における電圧に比べて緩和することが考えられる。すなわち、ポストライトパルスのためのワード線電圧をV_{ws}、ビット線電圧をV_{bs}とし、消去動作におけるワード線電圧をV_{we}、ビット線電圧をV_{be}とするならば、|V_{ws}| < |V_{we}|、|V_{bs}| < |V_{be}|なる関係を満たすようポストライト動作のストレス条件を設定すれば、窒化膜中に注入した電子をデータを消去してしまうほど積極的には引き抜くことなく、読み出し特性だけを改善することができる。より具体的には、データ書き込みの後にポストライトパルスを加える際、選択されたメモリセルブロックが有する全ビットラインをV_{bs}とし、すべてのワードラインにV_{ws}を印加する。この際、このメモリセルブロックが形成されたp型基板（またはp型ウェル及びn型基板）は接地しておく。こうして、メモリセルの常に同一で良好な読み出し特性が得られる。

【0022】

【発明の実施の形態】それでは、以下、本発明の好ましい実施形態につき、図面を参照しつつ説明する。

【第1の実施形態】図6乃至図8参照。

【0023】図6は、本発明の一実施形態に基づく不揮発性メモリのメモリセルアレイの平面模式図を示す。図7は、本発明の一実施形態に基づく不揮発性メモリの等価回路であり、図6に平面模式的に示したメモリセルアレイに対応する回路を等価的に示したものである。図8は、本発明の一実施形態に基づく不揮発性メモリのメモリセルアレイの断面図（（a）はA-A'断面を示し、（b）はB-B'断面）である。

【0024】図6では、行方向に8個のメモリセルのソースとドレインが並列接続されており、列方向には隣接するメモリセルのゲート電極が接続されて示されているが、このうち、ひとつのメモリセルに着目して以下説明する。図8によれば、メモリセルはそれぞれ、p基板14上に第1ゲート酸化膜15が形成され、第1ゲート酸化膜16の上に窒化膜が形成され、さらに窒化膜の上に第2ゲート酸化膜17が形成されることによる積層されたゲート絶縁膜を介してゲート電極11が形成されてなる。これらのメモリセルのソース、ドレインであるn型拡散層12は、図6によれば、列方向に共有されている。図8に示される通りに、ソースとドレインは同じ構造をしており、ゲートを中心に関して線対称の関係にある。また、図8によれば、メモリセルは素子分離酸化膜13により行方向に隣接するメモリセルと素子分離されている。素子分離酸化膜は同時にソース、ドレインとゲート電極を絶縁している。ここで、図8に断面が描かれたメモリセルの製造工程は、以下のようなものである。まず、p型基板14上に第1ゲート酸化膜15をウェット酸化により7nm形成した後、CVD法によりSiN膜16を5nm成長

10

させ、第2ゲート酸化膜17をウェット酸化で10nm形成させる。これによりONO膜を形成する。次にゲートとなる領域をフォトレジストでマスクし、ソースおよびドレインとなる領域のONO膜をエッチングにより除去する。この状態でAsを基板に垂直に注入し、拡散層12を形成する。また、Bを拡散層12の両脇に拡散するように、斜めから注入する。フォトレジストを除去した後、フィールド酸化を行い、素子分離酸化膜13を形成する。素子分離酸化膜13の厚さは50nmとなるようにしている。以上のようにして、メモリセルは形成される。

10

【0025】図6に示される通りに、メモリセルのソースとドレインを行方向に接続することにより形成される拡散層の列はビットラインとなる。ビットラインは選択ゲートを介してセンスアンプに接続される。さらに図6によれば、メモリセルのゲート電極は、列方向に配設する導電層によって、隣接するメモリセルのゲート電極と同時形成され、ワード線を構成している。以上が、本発明が適用される不揮発性メモリのメモリセルアレイの概略である。

20

【0026】次に、上述の如くに構成されたメモリセルを有する不揮発性メモリ（EEPROM）の動作について説明する。図7及び図8参照。

20

【メモリセルのデータ消去動作】まず、データ書き込みを行うメモリセルアレイ・ブロックを選択する。選択されたブロックに対し、データ書き込み動作に先立ちそのブロックすべてのメモリセルのデータ消去を行う。データ消去時は、選択されたブロックすべてのビット線に7.0(V)が印加される。次に、選択されたブロックすべてのワード線に-3.0(V)が印加される。このバイアス状態を約10msec保つことにより、選択されたブロックすべてのメモリセルで窒化膜から電子が除去され、しきい値が低い「1」の状態となる。

30

【メモリセルへのデータ書き込み動作】次いで、データ書き込み動作が行われる。選択されたブロックに対してデータを書き込むには、選択されたメモリセルのドレインにつながるビット線を5.2(V)、ソースにつながるビット線を0(V)の状態にしておき、選択されたメモリセルのワード線に9.5(V)を印加する。このとき、非選択であるメモリセルのソース・ドレインにつながるビット線は浮遊させておく。ただし、選択されたメモリセルとビット線を共有しているメモリセルに関しては、ビット線の片方が5.2(V)もしくは0(V)になっている。上記の動作でデータ書き込みを行った場合、選択されたメモリセルのドレインとなる拡散層の近くで窒化膜中に電子が注入され、しきい値が高い「0」状態となる。また、非選択セルには書き込みが行われない。

40

【メモリセルへのポストライトパルス印加動作】次に、ポストライトパルス印加動作に入る。選択されたブロックにポストライト動作を行うには、選択されたブロックすべてのビット線に7.0(V)を印加する。次に、選択され

50

たブロックすべてのワード線に-3.0(V)を印加する。このバイアス状態を約 3μ sec保つことにより、選択されたブロックすべてのメモリセルで読み出し特性が改善される。表1参照。

【0027】表1は、図7におけるメモリセルM52にデ*

*ータが書き込まれる場合を例にとって、上述の各動作時にメモリセルアレイに印加される電位の関係を示したものである。

【0028】

【表1】

	消去	書き込み	読み出し	ソフト消去
ワード線WL1	-3.0(V)	フローティング	フローティング	-3.0(V)
ワード線WL2	-3.0(V)	フローティング	フローティング	-3.0(V)
ワード線WL3	-3.0(V)	フローティング	フローティング	-3.0(V)
ワード線WL4	-3.0(V)	フローティング	フローティング	-3.0(V)
ワード線WL5	-3.0(V)	9.5(V)	1.6(V)	-3.0(V)
ワード線WL6	-3.0(V)	フローティング	フローティング	-3.0(V)
ワード線WL7	-3.0(V)	フローティング	フローティング	-3.0(V)
ワード線WL8	-3.0(V)	フローティング	フローティング	-3.0(V)
ビット線BL1	7.0(V)	フローティング	フローティング	7.0(V)
ビット線BL2	7.0(V)	5.2(V)	0(V)	7.0(V)
ビット線BL3	7.0(V)	0(V)	Vdr(V)	7.0(V)
ビット線BL4	7.0(V)	フローティング	フローティング	7.0(V)
ビット線BL5	7.0(V)	フローティング	フローティング	7.0(V)
基板	接地	接地	接地	接地

【0029】次に、ポストライトパルスを印加する際の不揮発性メモリの動作シーケンスを、図9を用いて説明する。図9参照。

【0030】図9は、ポストライトパルス印加時にメモリセルのゲート(=ワード線)、ドレイン、ソースの各電位の変化を時間とともに示した動作シーケンス図である。図に示すように、ゲート(=ワード線)、ドレイン、ソースの各電位は、ポストライトパルス印加前、ゲート(=ワード線)とドレインとが先ずHレベル(=V_{wp}(V))となりメモリセルにデータが書き込まれる。続いて、t_s(sec)の時間、ゲートがマイナス電位のV_{ws}(V)に立ち下がるとともに、ドレインがプラス電位のV_{ds}(V)に立ち上がって、メモリセルにはポストライトパルスが印加される。図11乃至図15参照。

【0031】次に、データ書き込みに続くポストライトパルス印加を実現させるための回路およびその動作の一実施形態を説明する。

【0032】図11は、本発明の第1の実施形態に則したEEPROMの回路構成を示すブロック図である。図11では、アドレス選択を行うためのアドレスバッファ及び行、列のアドレスデコーダ等は省略して、書き込み及びポストライトの動作に関する部分の構成を示す。図12は、本発明の第1の実施形態に則したEEPROMの発振回路の構成図(a)とパルスタイミング図(b)である。図13は、本発明の第1の実施形態に則したEEPROMの高電圧スイッチ回路の構成図(a)とパルスタイミング図(b)である。図14は、本発明の第1の実施形態に則したEEPROMのビット線電圧発生回路の構成図(a)とパルスタイミング図(b)である。図15は、本発明の第

1の実施形態に則したEEPROMのワード線電圧発生回路の構成図(a)とパルスタイミング図(b)である。

【0033】図12(a)で示された発振回路は、外部よりデータ書き込みコマンドが入力されると、オシレータ(OSC)の発振がカウンター回路Count1に入力され、データ書き込みのための予備パルス(Prg Pulse)を生成する。このPrg Pulseの立ち上がりエッジ(期間)と、OSCの発振でカウンター回路Count2より、データ書き込みのためのパルス(Real Prg Pulse)を生成する。

【0034】次に、図12(b)に示すように、Prg Pulseの立ち上がりエッジ(期間)に遅延をかけたものと、Real Prg Pulseの立ち下がりエッジ、およびOSCの発振でカウンター回路Count3より、ポストライト動作のためのパルス(Light Ers Pulse)を生成する。これらPrg Pulse、Real Prg Pulse、Light Ers PulseをHVSWとWOUTの制御信号とする。

【0035】図13(a)で示された高電圧スイッチ回路は、ビット線BLに供給する電圧を制御するための論理修正を行う。HVSWによってReal Prg PulseおよびLight Ers Pulseは正論理から負論理に変換される。同時に電圧の変換も兼ね、Real Prg Pulseはデータ書き込みのためのビット線電圧、Light Ers Pulseはポストライト動作のためのビット線電圧となるよう高電圧化される。すなわち、HVSWにおいてReal Prg PulseはReal Prg HV Pulse Bに変換され、Light Ers PulseはLight Ers HV Pulse Bに変換される。上記のシーケンスを図13(b)に示す。

【0036】図14(a)で示されたビット線電圧発生回路は、作動増幅型の電圧発生回路である。ただし、動

作時間は、OSC部分より出力されたReal Prg PulseがHの状態の時のみである。ビット線電圧発生回路は、図14(b)に示すように、RealPrg HV Pulse BとLight Ers HV Pulse Bの制御信号を合成して、ビット線に印加するための電圧パルスを発生させる。BLOUTによって生成される上記の電圧パルスは、データ書き込みのためのビット線電圧と、ポストライト動作のためのビット線電圧の2つの異なる高さをもつ。

【0037】図15(a)で示されたワード線電圧発生回路は、ワード線に印加する電圧を制御する。WLOUTは高電圧変換スイッチを利用している。制御信号Real Prg PulseとLight Ers Pulseにより、それらの信号がHアクティブの状態で、ワード線に対し、それぞれ個別の電圧を印加する。すなわち、Real Prg PulseがHの際は、ワード線にVwpなる電圧が印加され、Light Ersの際は、ワード線にVwsなる電圧が印加される。図15(a)に示されたワード線電圧発生回路の構成によれば、簡単のためVwsが0(V)となるようにしている。しかし、Vwsが負電圧となるように回路を変更しても構わない。

【0038】以上が、本発明の一実施形態に則した説明であるが、他にも種々の変形が考えられるので、例示しておく。例えば、メモリセルの接続形式を問わず、NOR接続型であってもNAND接続型であっても同様の効果を得ることができる。また、実質的には、ポストライトパルスをメモリセルに印加するタイミングを問わない。すなわち、データが書き込まれたメモリセルに対してであれば、書き込み直後にポストライトパルスを印加しても良いし、また読み出す直前に印加しても良い。電荷トランジスタ層の材料としては、窒化膜の上面・下面にそれぞれ酸化膜を形成して窒化膜をサンドイッチした所謂ONO膜を例示したが、これに置き換えて電荷を捕捉しやすい絶縁材料を用いることも良い。例えば、窒化膜に代えてAl₂O₃(アルミナ)/Ta₂O₅(五酸化タンタル)積層膜を用いることもできる。さらに、不揮発性メモリ単体でなくとも良く、不揮発性メモリと他のデバイスとが混載された半導体デバイスに対しても適用可能である。

【第2の実施形態】上記の第1の実施形態では、書き込み後の不揮発性メモリセルに対して、消去時の印加電位並であるもののその長さが実質的にデータ消去に寄与しないレベルに極めて短いポストライトパルスを印加する場合を例示したが、続く第2の実施形態として、ポストライトパルス印加と同様の機能を書き込みベリファイ時に付加した場合について、その動作を説明する。

【0039】各動作時にメモリセルアレイに印加される電位の関係は、【第1の実施形態】において引用した【表1】の例にしたがう。

【0040】次に、このようなパルスを発生させてポストライトパルスを印加する手順の概略を説明する。図10参照。

【0041】図10は、本発明の第2の実施形態に則し

たプログラムシーケンスを示す図であり、ベリファイ書き込みを行う場合の動作手順の一例を示す。図10に示されるように、先ずひとつのメモリブロックに対してデータの書き込み動作を始めようとする際には、データ書き込み回数を計数するためのカウンタNおよびベリファイの結果、データを書込んだか書き込んでいないかを記録しておくためのフラグMを準備しておき、データ書き込みにあたりこのカウンタNをまずN=1とする。同時に、データ未書き込みであるので、フラグMは取りあえずM=0とする。

続いて、当該メモリブロックの端から順にベリファイを行って、ベリファイを始めるスタートアドレスを先ず認識し、当該スタートアドレスに対応するメモリセルからデータを読み出してみて、データが実際に書き込まれていたか否かを検証【ベリファイ】した後、書き込みが正常になされていなければ、データを書き込む動作を行い、フラグMをM=1とする。書き込みが正常になされていれば、データを改めて書き込むことは行わないまま、フラグMはM=0として次のアドレスに対応するメモリセルへの書き込みのベリファイを行う。すなわち、データ読み出しは、選択したビットのワード線電圧を書き込みレベルの4.5(V)とし、ドレインにつながるビットラインを1.6(V)とし、ソースにつながるビットラインを0(V)とする。ただし、読み出しにおけるソースとドレインの関係は、そのビットを書き込む際に設定したソースとドレインの関係と逆である。この関係を逆にする理由は【従来の技術】の項でも述べた通りに、データ書き込みの際にドレインとした拡散層の近傍に電子がトラップされているためであり、ドレインとソースとを反転させた方がしきい値のシフトが大きくとれるためである。このとき、基板は接地されている。選択したメモリセルに流れる電流は判定回路に流れ、基準電流以上であると“1”、基準電流以下であると“0”と判定される。データが書き込まれるべきメモリセルにおいて、しきい値のシフトが十分でなく“1”と判定されると、そのメモリセルに対して書き込み動作を行う。このような動作を当該メモリセルブロック内の全メモリセルに対して順次行い、全てのアドレスに対応するメモリセルに対してデータベリファイが終わったら、途中ベリファイの結果、当該メモリブロック内のいずれかのメモリセルに対して再書き込みを行わねばならなかつたか否かをフラグMで判断する。そして、実際にM≠0だと判れば、再書き込みをどこかで行ったものとして、その場合にはメモリブロックへのポストライトパルス印加回数を計数しているカウンタNの値をチェックする。当該メモリブロックへのポストライトパルス印加回数があまりに多い場合、例えば10回以上の場合には、救済不可能とみなしてエラーとして処理を終えるが、そうでない場合、当該メモリブロック内の全メモリセルに対してポストライトパルスを与える。その後、ポストライトパルス印加カウント数Nに1を加えたら、ルーチンの最初に戻って再び同じメモリブロック

に対して正常な書き込みが行われているか否かベリファイ動作を行う。以上が、データベリファイ工程にポストライトパルス印加動作を組み入れる一例の工程概略である。以上の書き込み動作の全てが終了すると、データが書き込まれたメモリセルは、ドレイン電圧1.6(V)、ソース電圧0(V)の下で、基準電流に達するワード線電圧が書き込みレベルの4.5(V)以上となる。

【0042】本実施例では外部より書き込みコマンドが入力されると、周辺回路内部で、書き込みパルスに統いてポストライト動作のパルスを自動的に発生させた。しかし、外部コマンドにより消去パルスを直接発生させても良い。

【0043】

【発明の効果】以上のように、本発明によれば、電気的書き換え・消去可能な不揮発性メモリ(E EEPROM)の書き込みデータ保持特性を、実質的にメモリセルアレイの製造プロセスを変更しないままに向かうといいう効果がある。また、消去電位並の電位を与えそのパルス長だけを短く変更してさえ効果を得ることが可能なため、その場合、本発明の目的のために特に昇圧回路等を新設する必要もなく、またEEPROMの外でパルス発生を制御することもできるといいう付随的な効果がある。

【0044】さらに本発明において、CPUクロック等の外部クロックを使ってタイミングの制御を行うことにはすれば、EEPROM内部で自己完結的に制御する必要がなくなるので、EEPROM内の周辺回路を簡素化でき、汎用されるEEPROMをそのまま使用可能といいう効果が加わる。

【図面の簡単な説明】

【図1】従来のSONOS型不揮発性メモリの読み出し特性を示すグラフ(その1)

【図2】従来のSONOS型不揮発性メモリの読み出し特性を示すグラフ(その2)

【図3】従来のSONOS型不揮発性メモリの読み出し特性

を示すグラフ(その3)

【図4】ポストライト動作により読み出し特性が改善されることを示した特性図。

【図5】メモリセルの、書き込みが行われた状態からの消去時間と、しきい値電圧およびS係数の変化を示すグラフ

【図6】メモリセルアレイの平面模式図

【図7】メモリセルアレイの等価回路図(図6に対応するメモリセルアレイ回路を等価的に示す図)、

【図8】メモリセルアレイの要部断面図(図6のA-A'およびB-B'の断面を示す図)、

【図9】ポストライト動作を付加したプログラムシーケンスの一例を示す図、

【図10】ポストライト動作を付加した書き込みベリファイのシーケンスの一例を示す図、

【図11】ポストライト動作を実現させるための回路構成の一例を示す図、

【図12】発振回路の一例と、そのシーケンスを示す図、

20 【図13】高電圧スイッチ回路の一例と、そのシーケンスを示す図、

【図14】ビット線電圧発生回路の一例と、そのシーケンスを示す図、

【図15】ワード線電圧発生回路の一例と、そのシーケンスを示す図、

【符号の説明】

1 1 ワード線(制御ゲート)

1 2 ビット線(n型拡散層)

1 3 素子分離酸化膜

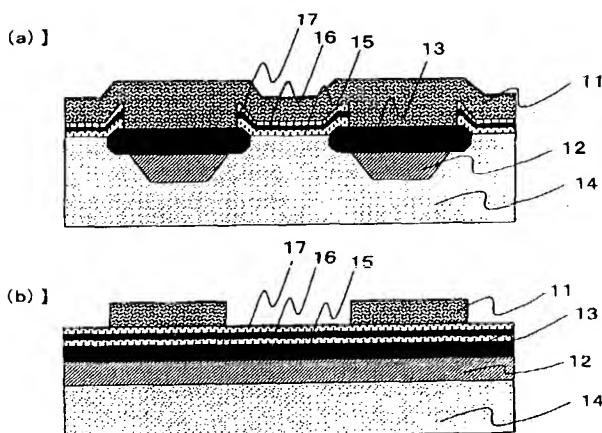
30 1 4 p型基板(またはp型ウェルおよびn型基板)

1 5 第1ゲート酸化膜

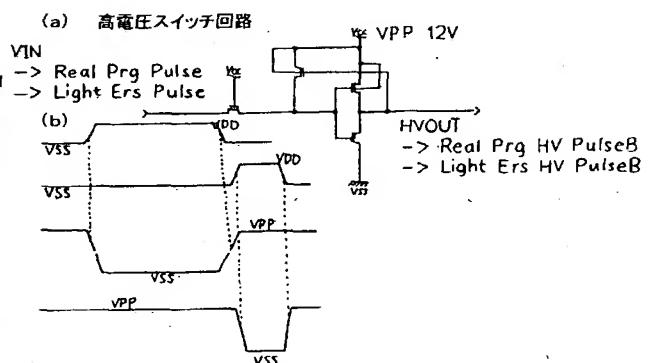
1 6 売化膜

1 7 第2ゲート酸化膜

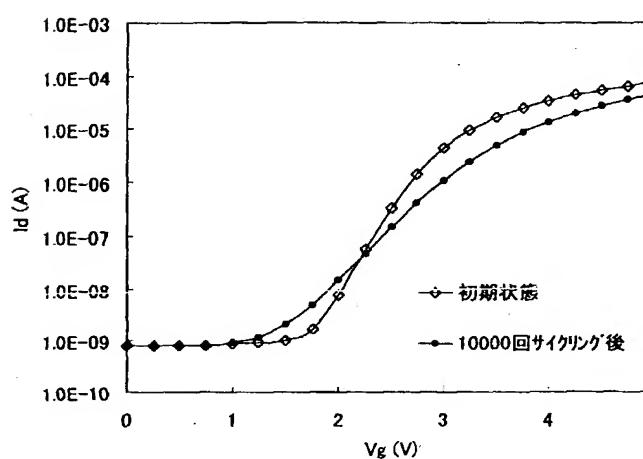
【図8】



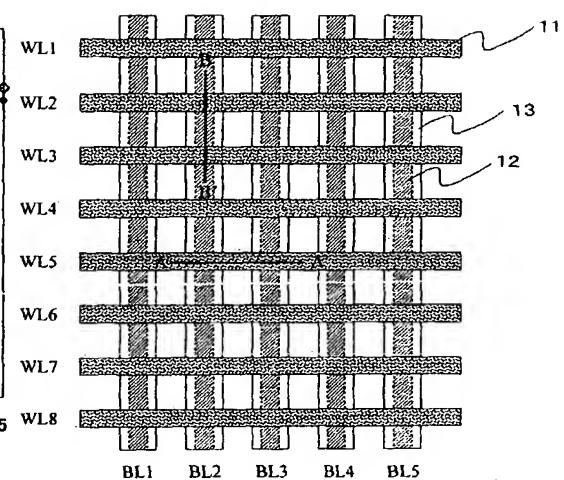
【図13】



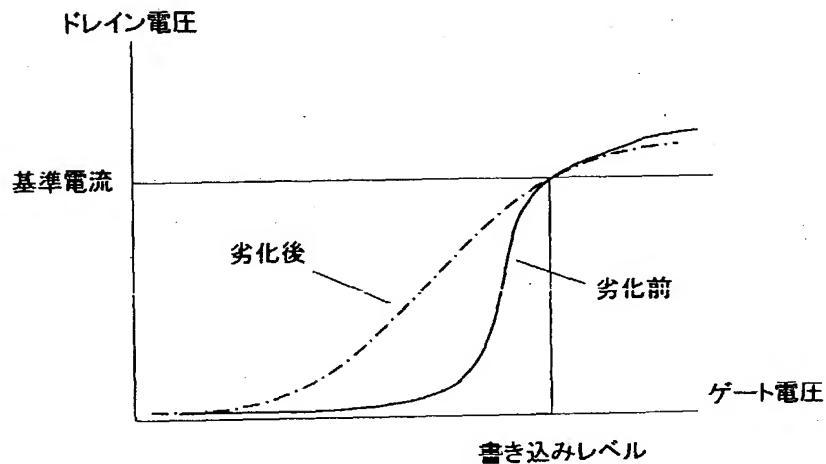
【図1】



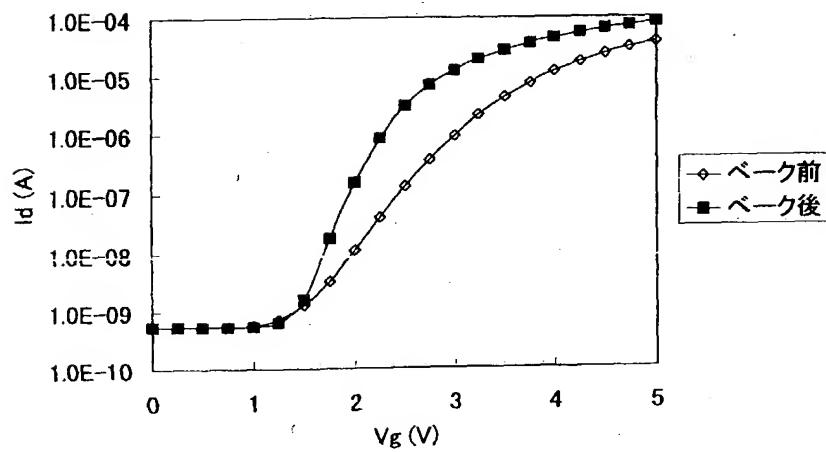
【図6】



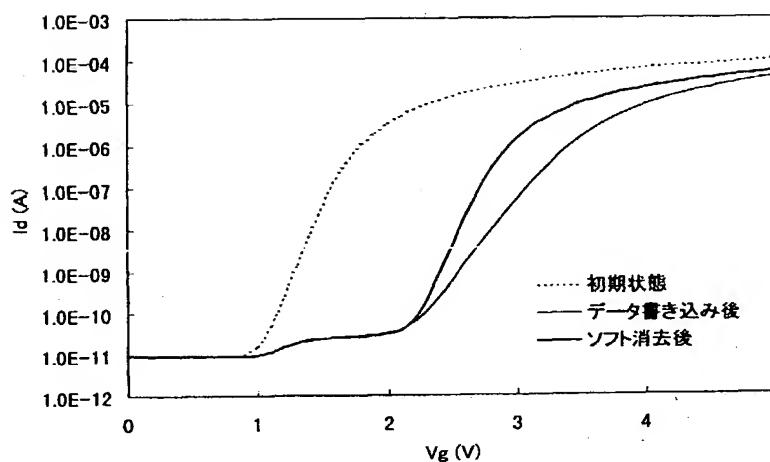
【図2】



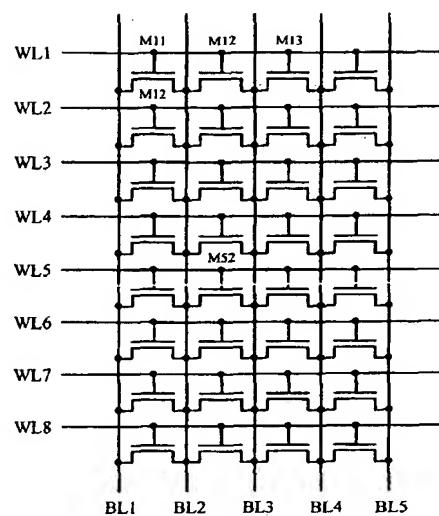
【図3】



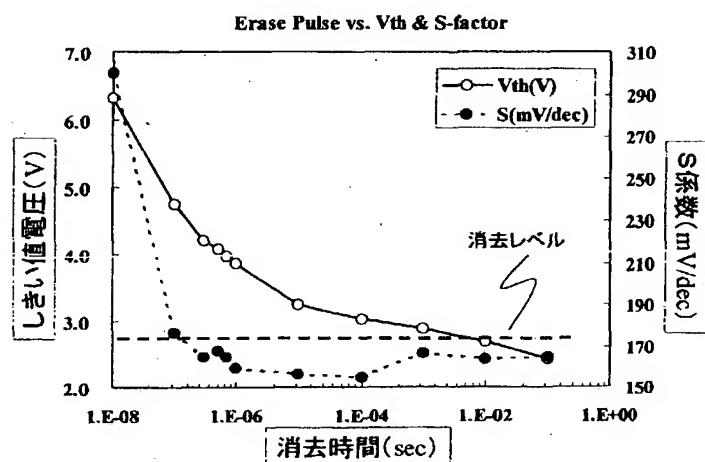
【図4】



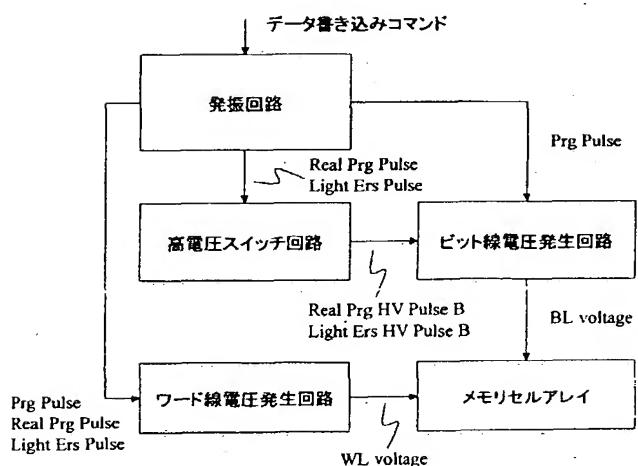
【図7】



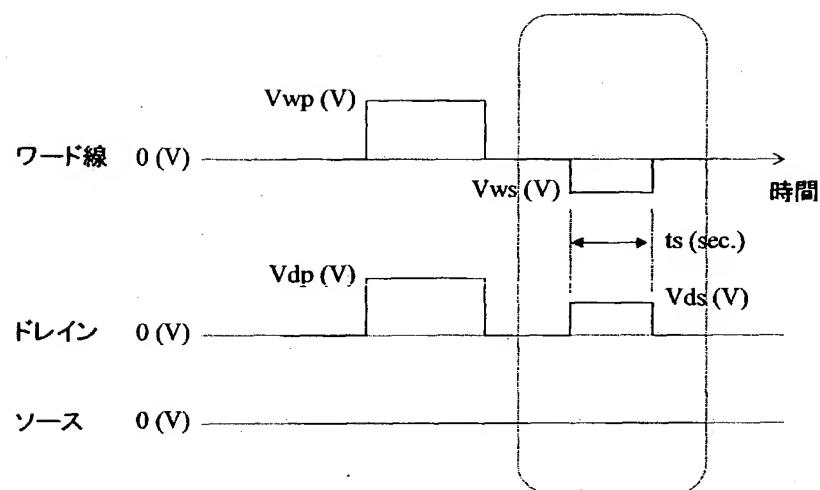
【図5】



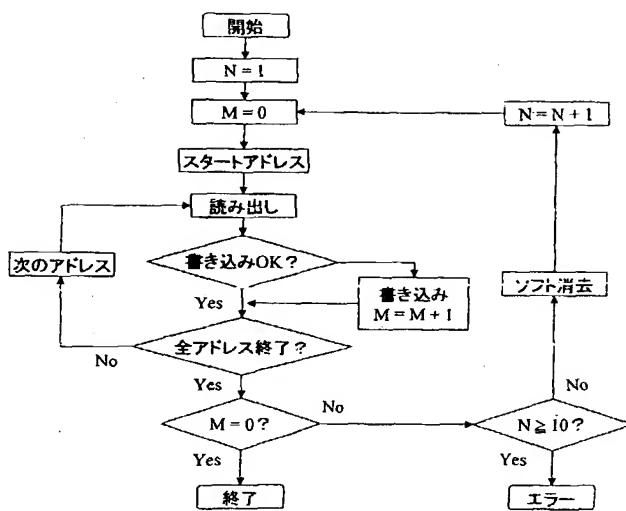
【図11】



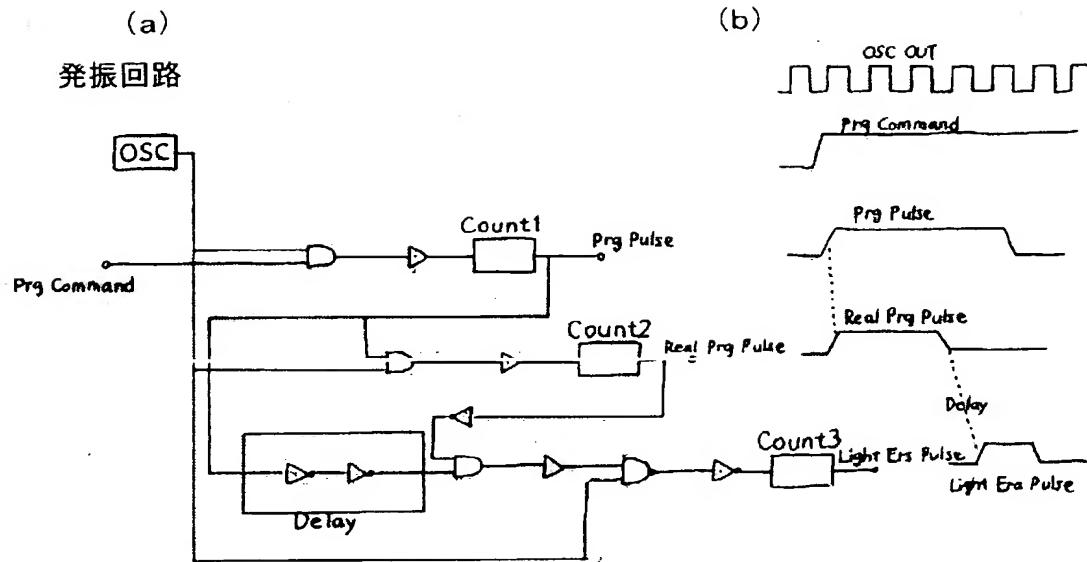
【図9】



【図10】

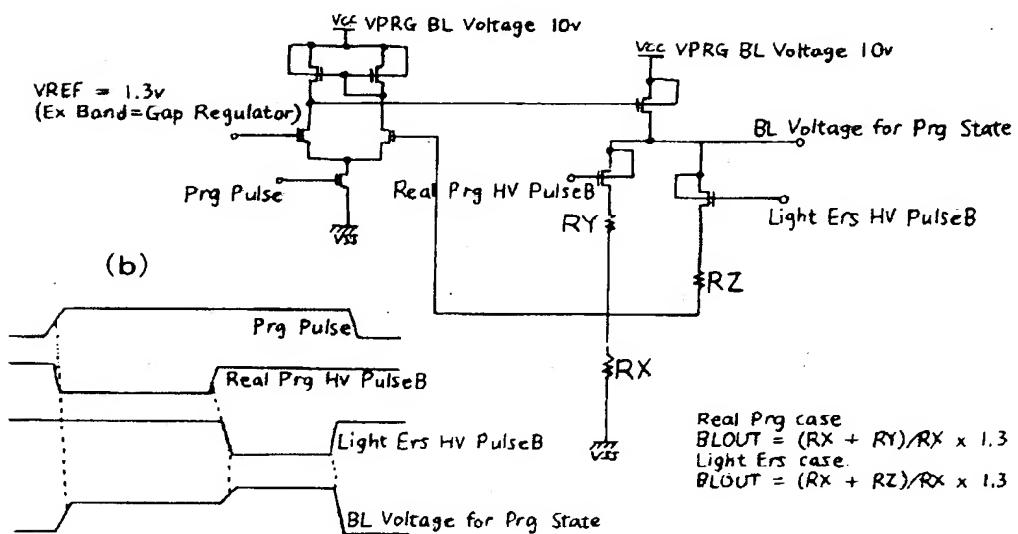


[図12]



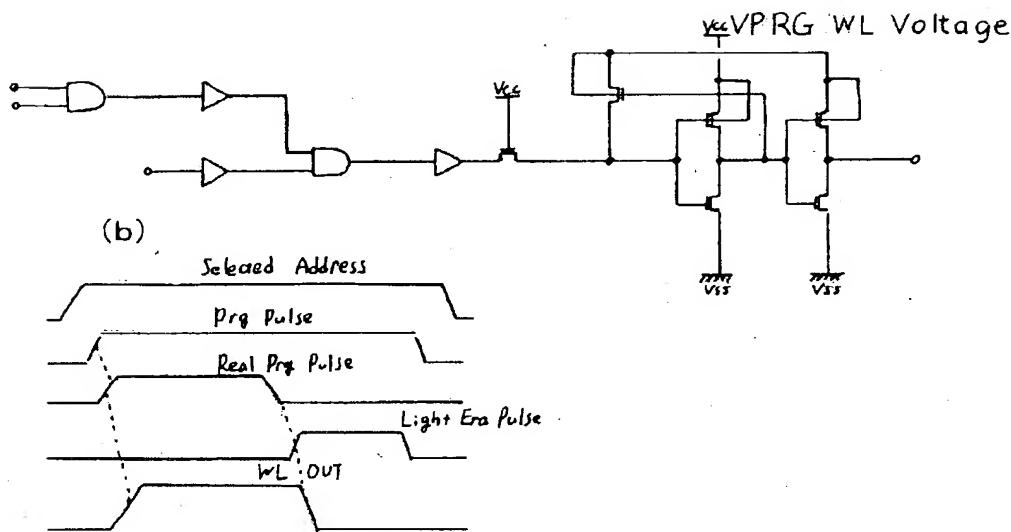
[図14]

(a) ビット線電圧発生回路



【図15】

(a) ワード線電圧発生回路



フロントページの続き

(51) Int. Cl.⁷

H 0 1 L 29/792

識別記号

F I

H 0 1 L 29/78

マーク(参考)

3 7 1

(72) 発明者 馬渡 博史

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

Fターム(参考) 5B025 AA02 AB01 AC01 AD04 AD08
AD09 AE08
5F001 AA12 AA13 AC06 AD19 AD62
AE02 AE08 AG02 AG12 AG21
5F083 EP17 EP18 EP65 EP70 ER02
ER22 ER30 JA02 JA04 JA06
KA07 KA08 KA13 PR12 PR21
PR37
5F101 BA42 BA45 BC11 BD10 BD37
BE05 BE07 BH02 BH03 BH09